

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L11: Entry 71 of 73

File: JPAB

Jul 11, 1997

PUB-NO: JP409181133A

DOCUMENT-IDENTIFIER: JP 09181133 A

TITLE: METHOD FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: July 11, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

HASEGAWA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP07341634

APPL-DATE: December 27, 1995

INT-CL (IPC): H01 L 21/66; G01 R 31/317; G06 F 11/22

ABSTRACT:

PROBLEM TO BE SOLVED: To enable an operation test by a tester of low-speed operations by a method wherein an output of a frequency divider forming a phase locked loop circuit is supplied to an internal circuit.

SOLUTION: A phase locked loop(PLL) circuit 13 comprises: a phase comparator 19 for comparing a reference clock 16 with a phase of a second PLL output S2 to supply a voltage in proportion to a phase difference between two signals; a lowpass filter 20 for passing an output of the phase comparator 19 only through a lowpass; a voltage control oscillator(VCO) 21 for generating a first PLL output S1 by an output of the lowpass filter 20; a frequency divider 22 for dividing a frequency of an output of the VCO 21, namely the output S1 to prepare an output S2. For this reason, only by a reference clock 16 and a control signal 17 from a tester 11, out of signals input into the phase comparator 19 of the PLL circuit 13, the feedback signals, namely the outputs S2, are supplied to an internal circuit 15 via a selector 14, whereby operation test of the internal circuit 15 and PLL circuit 13 is performed.

COPYRIGHT: (C)1997,JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the test method of the semiconductor integrated circuit which contained the phase locked loop circuit (a PLL circuit is called hereafter) about the test method of a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] The PLL circuit is used in order to realize high-speed operation in operating this semiconductor integrated circuit conventionally. In case this semiconductor integrated circuit is examined, the LSI circuit tester and the general-purpose analog tester only for tests are connected, and the internal circuitry, the PLL circuit, etc. are examined using the external clock and control signal of a frequency higher than a reference clock and this reference clock or a low frequency.

[0003] Drawing 2 is the block diagram of the semiconductor integrated circuit for explaining this conventional example. As shown in drawing 2, when examining the conventional semiconductor integrated circuit 12a While connecting testing-device 11a represented by the LSI circuit tester, supplying the control signal 17 which synchronized with a reference clock 16 and this from this testing-device 11a and operating semiconductor integrated circuit 12a It is judging that it is normal actuation by incorporating the output signal 18 of this semiconductor integrated circuit 12a to testing-device 11a, and comparing with the expected-value data beforehand prepared for the interior of testing-device 11a.

[0004] However, in the latest semi-conductor field, PLL circuit 13a was built in, and although semiconductor integrated circuit 12a which realizes high-speed operation has appeared, the frequency of the upper limit of the reference clock 16 to which the LSI circuit tester used as testing-device 11a measures due to a use device etc. was decided.

[0005] Such integrated-circuit 12a of high-speed operation is lower than the output frequency of PLL circuit 13a which inputs a reference clock 16 and outputs a predetermined frequency, and this PLL circuit 13a, and is equipped with the selector 14 which changes the external clock 23 of a frequency comparable as a reference clock 16, and the output of PLL circuit 13a by a static test mode etc., and the internal circuitry 15 by which it is examined with the change output of this selector 14. If in charge of the trial of this integrated-circuit 12a, the performance test of the internal circuitry 15 of semiconductor integrated circuit 12a is performed by CHUKKU [supplying an external clock 23 to an internal circuitry 15 through a selector 14, and / a control signal 17 / the value of the ***** output signal 18]. In order for an external clock 23 to carry out through [of the PLL circuit 13a] in that case, to examine PLL circuit 13a, it is necessary to perform an independent trial using an analog tester separate as testing-device 11a etc.

[0006]

[Problem(s) to be Solved by the Invention] a frequency is high, even if the test method of the semiconductor integrated circuit of the former mentioned above, especially the test method of the integrated circuit which contains a PLL circuit cannot be examined and it can do them, when the frequency of the output signal of an integrated circuit exceeds the frequency of upper limits, such as an

LSI circuit tester, -- it is -- it is -- a low external clock is supplied or there is a fault of needing an expensive high-speed circuit tester.

[0007] The purpose of this invention is to offer the test method of the semiconductor integrated circuit which can shorten test time while it makes a performance test possible using the testing device of low-speed actuation and simplifies the testing device itself.

[0008]

[Means for Solving the Problem] The test method of the semiconductor integrated circuit of this invention connects the testing device of low-speed actuation to the semiconductor integrated circuit equipped with the internal circuitry which builds in a phase locked loop circuit and operates at high speed. While supplying the control signal which synchronized with the reference clock and said reference clock from said testing device to said phase locked loop circuit and said internal circuitry of said semiconductor integrated circuit In the test method of the semiconductor integrated circuit which incorporates the output signal from said internal circuitry to said testing device, and performs the performance test of said semiconductor integrated circuit The 1st output which carried out multiplying of said reference clock in said phase locked loop circuit, The 2nd output which carried out dividing of said 1st output, and doubled the phase with said reference clock is supplied to said internal circuitry through a selector, and it is constituted so that only said reference clock and said control signal from said testing device may perform the performance test of said semiconductor integrated circuit.

[0009] Moreover, the test method of the semiconductor integrated circuit of this invention The phase comparator which compares said reference clock and the phase of said 2nd output for said phase locked loop circuit, The low-pass filter which passes low-pass among the outputs of said phase comparator, The voltage controlled oscillator made to generate said 1st output with the output of said low-pass filter, It constitutes from a counting-down circuit which carries out dividing of said 1st output from said voltage controlled oscillator, and creates said 2nd output, and it is constituted so that only said reference clock and said control signal from said testing device may perform the performance test of said internal circuitry and said phase locked loop circuit.

[0010]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with reference to a drawing.

[0011] Drawing 1 is the block diagram of the semiconductor integrated circuit for explaining the gestalt of 1 operation of this invention. As shown in drawing 1, while the test method by the gestalt of this operation connects to the testing device 11 of low-speed actuation the semiconductor integrated circuit 12 which operates at the high speed which built in the PLL circuit 13 which has a multiplying function and supplies a reference clock 16 and a control signal 17 from this testing device 11, it performs the performance test of an integrated circuit by incorporating an output signal 18 from the internal circuitry 15 of a semiconductor integrated circuit 12.

[0012] The phase comparator 19 which supplies the electrical potential difference which this PLL circuit 13 compared the phase of a reference clock 16 and the 2nd PLL output S2, and is proportional to the phase contrast of two signals, The low-pass filter 20 which passes low-pass among the outputs of this phase comparator 19, It constitutes from a counting-down circuit 22 which creates the 2nd PLL output S2 which carried out dividing of the voltage controlled oscillator (VCO) 21 made to generate the 1st PLL output S1 with the output of this low-pass filter 20 and the output S1 of VCO21, i.e., the 1st PLL output, and mentioned it above. For this reason, the performance test of an internal circuitry 15 and the PLL circuit 13 can be performed by supplying the signal S2 which returned among the signals inputted into the phase comparator 19 of the PLL circuit 13, i.e., the 2nd PLL output, to an internal circuitry 15 through a selector 14 only with the reference clock 16 and control signal 17 from a testing device 11.

[0013] Hereafter, the performance test of a semiconductor integrated circuit 12 is explained more to a detail.

[0014] First, the LSI circuit tester as a testing device 11 uses the same thing as the former, and supplies the control signal 17 which synchronized with a reference clock 16 and this to the PLL circuit 13 and internal circuitry 15 of a semiconductor integrated circuit 12. This reference clock 16 is inputted into the

phase comparator 19 of the PLL circuit 13 with the 2nd PLL output S2. In a phase comparator 19, the phase of two inputted signals is compared and the electrical potential difference proportional to the phase contrast is generated. This phase contrast proportion voltage is supplied to a selector 14 as 1st PLL output while it is supplied to VCO21 through a low-pass filter 20 and changes the dispatch frequency according to that electrical potential difference. Furthermore, while 1-/N dividing of the clock S1 generated by VCO21, i.e., the 1st PLL output, is supplied and carried out to a counting-down circuit 22 and being fed back to a phase comparator 19, a selector 14 is supplied as 2nd PLL output S2. In addition, change control of the control of a selector 14 is carried out by the static test mode signal which carried out the illustration abbreviation.

[0015] Moreover, at the time of normal operation, although the output (1st PLL output) S1 of VCO21 is supplied to an internal circuitry 15, a selector 14 is changed at the time of a test, and the output (2nd PLL output) S2 of a counting-down circuit 22 is supplied to an internal circuitry 15. That is, the output S1 of VCO21 serves as a clock which carried out multiplying of the frequency of a reference clock 16, and the output S2 of a counting-down circuit 22 becomes the clock of a frequency equal to the frequency of a reference clock 16. Furthermore, the output S2 of a counting-down circuit 22 synchronizes with a reference clock 16 mostly from a testing device 11.

[0016] However, since the control signal 17 from a testing device 11 is supplied to the internal circuitry 15 of a semiconductor integrated circuit 12 synchronizing with a reference clock 16, it synchronizes also with the output S2 of the counting-down circuit 22 supplied to an internal circuitry 15 through a selector 14. Moreover, since the frequency of a reference clock 16 is not exceeded, the output of the output signal 18 15 from a semiconductor integrated circuit 12, i.e., an internal circuitry, can be incorporated, using the conventional LSI circuit tester as a testing device 11.

[0017] Thus, according to the gestalt of this operation, after passing through a fixed period until the PLL circuit 13 mentioned above carries out phase simulation, the performance test of the semiconductor integrated circuit 12 including the PLL circuit 13 can be performed using the testing device 11 which consists of the usual LSI circuit tester.

[0018]

[Effect of the Invention] As explained above, the test method of the semiconductor integrated circuit which contained the semiconductor integrated circuit, especially PLL circuit of this invention does not need to supply the external clock of a frequency higher than a reference clock or a low frequency from a testing device by supplying the output of the counting-down circuit which forms this PLL circuit to an internal circuitry, and is effective in the ability to carry out the performance test of the semiconductor integrated circuit of high-speed operation, using the conventional LSI circuit tester as it is, without introducing an expensive circuit tester.

[0019] Moreover, since it can be managed by the test method of this invention even if it does not supply the external clock of a frequency higher than a reference clock or a low frequency from the exterior, it can reduce at least one clock supply terminal, and is effective in the ability to simplify the testing device itself.

[0020] Moreover, according to the test method of this invention, since a PLL circuit and an internal circuitry can be examined to coincidence, it is effective in the ability to shorten test time.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The testing device of low-speed actuation is connected to the semiconductor integrated circuit equipped with the internal circuitry which builds in a phase locked loop circuit and operates at high speed. While supplying the control signal which synchronized with the reference clock and said reference clock from said testing device to said phase locked loop circuit and said internal circuitry of said semiconductor integrated circuit In the test method of the semiconductor integrated circuit which incorporates the output signal from said internal circuitry to said testing device, and performs the performance test of said semiconductor integrated circuit The 1st output which carried out multiplying of said reference clock in said phase locked loop circuit, The 2nd output which carried out dividing of said 1st output, and doubled the phase with said reference clock is supplied to said internal circuitry through a selector. The test method of the semiconductor integrated circuit characterized by performing the performance test of said semiconductor integrated circuit only with said reference clock and said control signal from said testing device.

[Claim 2] The phase comparator with which said phase locked loop circuit compares said reference clock and the phase of said 2nd output, The low-pass filter which passes low-pass among the outputs of said phase comparator, The voltage controlled oscillator made to generate said 1st output with the output of said low-pass filter, It constitutes from a counting-down circuit which carries out dividing of said 1st output from said voltage controlled oscillator, and creates said 2nd output. Only with said reference clock and said control signal from said testing device The test method of the semiconductor integrated circuit according to claim 1 which performs the performance test of said internal circuitry and said phase locked loop circuit.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181133

(43) 公開日 平成9年(1997)7月11日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	
G 0 1 R 31/317			G 0 6 F 11/22	3 1 0 T
G 0 6 F 11/22	3 1 0		G 0 1 R 31/28	A

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-341634

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長谷川 篤

東京都港区芝五丁目7番1号 日本電気株式会社内

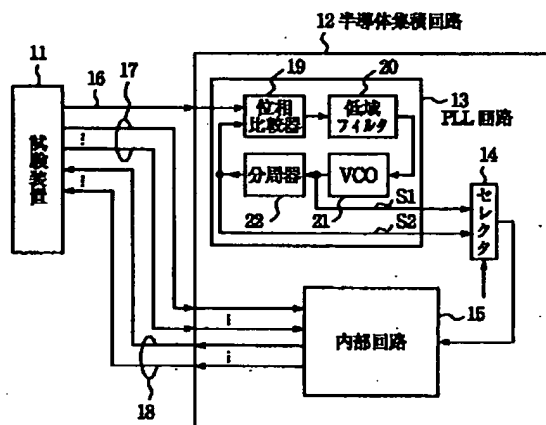
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路の試験方法

(57) 【要約】

【課題】半導体集積回路の内部回路等の動作試験を行う際、低速動作の試験装置を用いて動作試験を可能にし、試験装置そのものを簡略化するとともに、試験時間を短縮する試験方法を提供することにある。

【解決手段】半導体集積回路12に内蔵したPLL回路13の分周器22の出力S2をVCO21の出力S1とともに、セレクト14を介して内部回路15に供給する。このため、従来必要とした外部クロックを用いることなく、基準クロック16だけを用いて内部回路15、PLL回路13の同時試験を行うことができる。



【特許請求の範囲】

【請求項1】 フェーズロックドループ回路を内蔵し且つ高速で動作する内部回路を備えた半導体集積回路に低速動作の試験装置を接続し、前記試験装置から基準クロックおよび前記基準クロックに同期した制御信号を前記半導体集積回路の前記フェーズロックドループ回路および前記内部回路に供給するとともに、前記内部回路からの出力信号を前記試験装置に取り込み、前記半導体集積回路の動作試験を行う半導体集積回路の試験方法において、前記フェーズロックドループ回路で前記基準クロックを逡倍した第1の出力と、前記第1の出力を分周し前記基準クロックに位相を合わせた第2の出力とをセレクトを介して前記内部回路に供給し、前記試験装置からの前記基準クロックおよび前記制御信号のみにより前記半導体集積回路の動作試験を行うことを特徴とする半導体集積回路の試験方法。

【請求項2】 前記フェーズロックドループ回路は、前記基準クロックおよび前記第2の出力の位相を比較する位相比較器と、前記位相比較器の出力のうち低域のみを通過させる低域フィルタと、前記低域フィルタの出力により前記第1の出力を発生させる電圧制御発振器と、前記電圧制御発振器からの前記第1の出力を分周して前記第2の出力を作成する分周器とで構成し、前記試験装置からの前記基準クロックおよび前記制御信号のみにより、前記内部回路および前記フェーズロックドループ回路の動作試験を行う請求項1記載の半導体集積回路の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路の試験方法に関し、特にフェーズロックドループ回路（以下、PLL回路と称す）を内蔵した半導体集積回路の試験方法に関する。

【0002】

【従来の技術】 従来、この半導体集積回路を動作させるにあたり、高速動作を実現するには、PLL回路が用いられている。かかる半導体集積回路を試験する際は、テスト専用のLSIテストや汎用的なアナログテストを接続し、基準クロックやこの基準クロックよりも高い周波数あるいは低い周波数の外部クロックおよび制御信号を用いて内部回路やPLL回路などを試験している。

【0003】 図2はかかる従来の一例を説明するための半導体集積回路のブロック図である。図2に示すように、従来の半導体集積回路12aを試験するときは、LSIテストに代表される試験装置11aを接続し、この試験装置11aから基準クロック16およびこれに同期した制御信号17を供給して半導体集積回路12aを動作させるとともに、この半導体集積回路12aの出力信号18を試験装置11aに取り込み、あらかじめ試験装置11a内部に用意した期待値データと比較することによ

り、正常動作か否かの判定を行っている。

【0004】 しかし、最近の半導体分野においては、PLL回路13aを内蔵し、高速動作を実現する半導体集積回路12aが出現しているが、試験装置11aとして用いるLSIテストは、使用機器などの関係で測定を行う基準クロック16の上限の周波数が決まっている。

【0005】 このような高速動作の集積回路12aは、基準クロック16を入力して所定の周波数を出力するPLL回路13aと、このPLL回路13aの出力周波数よりは低く、基準クロック16と同程度の周波数の外部クロック23およびPLL回路13aの出力をテストモードなどで切替えるセレクト14と、このセレクト14の切替出力によって試験を行われる内部回路15とを備えている。この集積回路12aの試験にあたっては、外部クロック23をセレクト14を介して内部回路15に供給し、制御信号17に基づいて出力信号18の値をチェックすることにより、半導体集積回路12aの内部回路15の動作試験を行っている。その際、外部クロック23はPLL回路13aをスルーさせることになるため、PLL回路13aを試験する場合には、試験装置11aとして別個のアナログテストなどを用いて単独試験を行う必要がある。

【0006】

【発明が解決しようとする課題】 上述した従来の半導体集積回路の試験方法、特にPLL回路を内蔵する集積回路の試験方法は、集積回路の出力信号の周波数がLSIテストなどの上限の周波数を超えた場合には、試験を行うことができず、また出来たとしても、周波数の高いあるいは低い外部クロックを供給するか、あるいは高価な高速テストを必要とするという欠点がある。

【0007】 本発明の目的は、低速動作の試験装置を用いて動作試験を可能にし、試験装置そのものを簡略化するとともに、試験時間を短縮することのできる半導体集積回路の試験方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体集積回路の試験方法は、フェーズロックドループ回路を内蔵し且つ高速で動作する内部回路を備えた半導体集積回路に低速動作の試験装置を接続し、前記試験装置から基準クロックおよび前記基準クロックに同期した制御信号を前記半導体集積回路の前記フェーズロックドループ回路および前記内部回路に供給するとともに、前記内部回路からの出力信号を前記試験装置に取り込み、前記半導体集積回路の動作試験を行う半導体集積回路の試験方法において、前記フェーズロックドループ回路で前記基準クロックを逡倍した第1の出力と、前記第1の出力を分周し前記基準クロックに位相を合わせた第2の出力とをセレクトを介して前記内部回路に供給し、前記試験装置からの前記基準クロックおよび前記制御信号のみにより前記半導体集積回路の動作試験を行うように構成される。

【0009】また、本発明の半導体集積回路の試験方法は、前記フェーズロックドループ回路を、前記基準クロックおよび前記第2の出力の位相を比較する位相比較器と、前記位相比較器の出力のうち低域のみを通過させる低域フィルタと、前記低域フィルタの出力により前記第1の出力を発生させる電圧制御発振器と、前記電圧制御発振器からの前記第1の出力を分周して前記第2の出力を作成する分周器とで構成し、前記試験装置からの前記基準クロックおよび前記制御信号のみにより、前記内部回路および前記フェーズロックドループ回路の動作試験を行うように構成される。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0011】図1は本発明の一実施の形態を説明するための半導体集積回路のブロック図である。図1に示すように、この実施の形態による試験方法は、逡倍機能を有するPLL回路13を内蔵した高速で動作する半導体集積回路12を低速動作の試験装置11に接続し、この試験装置11から基準クロック16および制御信号17を供給する一方、半導体集積回路12の内部回路15より出力信号18を取込むことにより、集積回路の動作試験を行うものである。

【0012】このPLL回路13は、基準クロック16、第2のPLL出力S2の位相を比較し、2つの信号の位相差に比例した電圧を供給する位相比較器19と、この位相比較器19の出力のうち低域のみを通過させる低域フィルタ20と、この低域フィルタ20の出力により第1のPLL出力S1を発生させる電圧制御発振器(VCO)21と、VCO21の出力、すなわち第1のPLL出力S1を分周して前述した第2のPLL出力S2を作成する分周器22とで構成する。このため、試験装置11からの基準クロック16および制御信号17のみにより、PLL回路13の位相比較器19に入力される信号のうち、帰還された信号、すなわち第2のPLL出力S2をセレクタ14を介して内部回路15に供給することにより、内部回路15およびPLL回路13の動作試験を行うことができる。

【0013】以下、半導体集積回路12の動作試験について、より詳細に説明する。

【0014】まず、試験装置11としてのLSIテストは、従来と同一のものを使用し、基準クロック16およびこれに同期した制御信号17を半導体集積回路12のPLL回路13および内部回路15に供給する。この基準クロック16はPLL回路13の位相比較器19に第2のPLL出力S2とともに入力される。位相比較器19では、入力された2つの信号の位相を比較し、その位相差に比例した電圧を発生する。この位相差比例電圧は、低域フィルタ20を介してVCO21に供給され、その電圧に応じた発信周波数を変化させるとともに、第

1のPLL出力としてセレクタ14に供給される。さらに、VCO21で生成されたクロック、すなわち第1のPLL出力S1は分周器22に供給されて1/N分周され、位相比較器19にフィードバックされるとともに、第2のPLL出力S2としてセレクタ14に供給される。なお、セレクタ14の制御は、図示省略したテストモード信号などにより、切替制御される。

【0015】また、通常動作時は、VCO21の出力(第1のPLL出力)S1が内部回路15に供給されるが、テスト時には、セレクタ14を切替え、分周器22の出力(第2のPLL出力)S2が内部回路15に供給される。すなわち、VCO21の出力S1は基準クロック16の周波数を逡倍したクロックとなり、分周器22の出力S2は基準クロック16の周波数と等しい周波数のクロックになる。さらに、分周器22の出力S2は、試験装置11からの基準クロック16にほぼ同期している。

【0016】しかるに、試験装置11からの制御信号17は、基準クロック16に同期して半導体集積回路12の内部回路15に供給されるため、セレクタ14を介して内部回路15に供給される分周器22の出力S2とも同期している。また、半導体集積回路12からの出力信号18、すなわち内部回路15の出力は、基準クロック16の周波数を超えることがないため、試験装置11としては、従来のLSIテストを用いて取り込むことができる。

【0017】このように、本実施の形態によれば、前述したPLL回路13が位相同期するまでの一定期間を経た後、通常のLSIテストからなる試験装置11を用いて、PLL回路13を含む半導体集積回路12の動作試験を行うことができる。

【0018】

【発明の効果】以上説明したように、本発明の半導体集積回路、特にPLL回路を内蔵した半導体集積回路の試験方法は、このPLL回路を形成する分周器の出力を内部回路に供給することにより、試験装置から基準クロックよりも高い周波数あるいは低い周波数の外部クロックを供給しないで済み、高速動作の半導体集積回路を高価なテストを導入することなく、従来のLSIテストをそのまま使用して動作試験することができるという効果がある。

【0019】また、本発明の試験方法は、基準クロックよりも高い周波数あるいは低い周波数の外部クロックを外部より供給しなくても済むので、少なくとも1つのクロック供給端子を削減でき、試験装置そのものを簡略化することができるという効果がある。

【0020】また、本発明の試験方法によれば、PLL回路および内部回路を同時に試験できるので、試験時間を短縮することができるという効果もある。

【図面の簡単な説明】

【図1】本発明の一実施の形態を説明するための半導体集積回路のブロック図である。

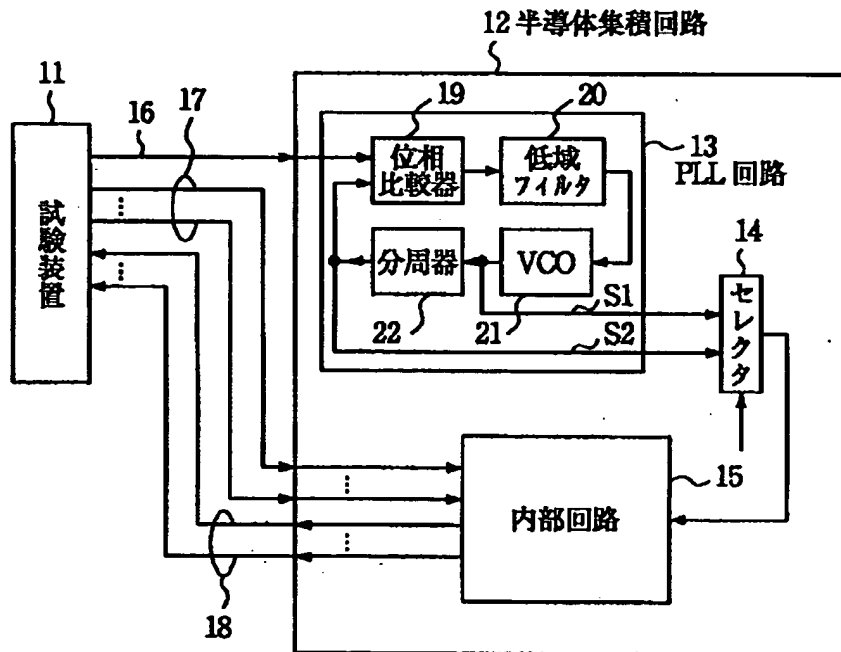
【図2】従来の一例を説明するための半導体集積回路のブロック図である。

【符号の説明】

- 11 試験装置
- 12 半導体集積回路
- 13 PLL回路
- 14 セレクタ

- 15 内部回路
- 16 基準クロック
- 17 制御信号
- 18 出力信号
- 19 位相比較器
- 20 低域フィルタ
- 21 VCO
- 22 分周器

【図1】



【図2】

